

PAT-NO: JP402072679A
DOCUMENT-IDENTIFIER: JP 02072679 A
TITLE: SEMICONDUCTOR PHOTODETECTOR HAVING
OPTICAL WAVEGUIDE
PUBN-DATE: March 12, 1990

INVENTOR-INFORMATION:

NAME
MAKIUCHI, MASAO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP63223803

APPL-DATE: September 7, 1988

INT-CL (IPC): H01L031/10, G02B006/12

US-CL-CURRENT: 257/432

ABSTRACT:

PURPOSE: To simplify the manufacturing process and to obtain a photodetector having a high sensitivity, high performance optical waveguide by obliquely cutting the optical waveguide at the other end of a ridge part so that the cut part is deflected toward a light absorbing layer, and forming the deflected surface.

CONSTITUTION: The following parts are formed on the surface of a semiconductor substrate 10 comprising InP: a light absorbing layer 11

comprising intrinsic InGaAs layer; an isolating layer 12 comprising InP; and a lightguide 20 having a ridge part 22 extending in parallel with the surface of the semiconductor substrate 10. A slant surface 21 forming about 45° with respect to the surface of the semiconductor substrate 10 is provided at one end of a optical waveguide 20. Input light 1 which is inputted from the other end of the optical waveguide 20 advances in the lightguide 20 along the ridge part 22. Leaking of the light into the light absorbing layer 11 is blocked because the forbidden band width of the material constituting the isolating layer 12 is large at the interface between the optical waveguide 20 and the isolating layer 12. The light is confined in the optical waveguide 20. Since the topmost layer laminated on the surface semiconductor substrate 10 is machined and formed in this way, the manufacturing process is simple, and high sensitivity and high performance can be realized.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報 (A) 平2-72679

⑬ Int.Cl.⁵H 01 L 31/10
G 02 B 6/12

識別記号

府内整理番号

⑭ 公開 平成2年(1990)3月12日

A 7036-2H
B 7036-2H

7733-5F H 01 L 31/10

審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 光導波路付き半導体受光素子

⑯ 特願 昭63-223803

⑰ 出願 昭63(1988)9月7日

⑱ 発明者 牧内 正男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1 発明の名称

光導波路付き半導体受光素子

2 特許請求の範囲

(1) 光吸收層(11)と、

該光吸收層(11)上に設けられ、入射光の波長に対応する光量子エネルギーより大きな禁制帯幅を有する分離層(12)と、

該分離層(12)上に接して設けられ、入射光に対する実質的に透明な光導波路(20)

とを有し、該光導波路(20)には、前記入射光を前記光吸收層(11)に向けて偏向するために、その一端部が前記入射光の進行方向に対して斜めに切断されて成る偏向面(21)が設けられていることを特徴とする光導波路付き半導体受光素子。

(2) 半導体基板(10)の有する一表面上に形成された半導体層から成る光吸收層(11)と、

該半導体基板(10)の表面に平行に延伸するとともにその一端から光が入射するリッジ部(22)を有

し、該光吸收層(11)上に形成された光導波路(20)と、

該光吸收層(11)と光導波路(20)との間に介在するように設けられ、該リッジ部(22)に沿って進行する該入射光が該光吸收層(11)へ漏洩することを阻止するための分離層(12)と、

該入射光を該光吸收層(11)に向けて偏向させるように該リッジ部(22)の有する他端部において該光導波路(20)を斜めに切断して成る偏向面(21)とを備え、該光吸收層(11)が光電変換部の要素をなすことを特徴とする光導波路付き半導体受光素子。

(3) 該光吸收層(11)は禁制帯幅 $E_{\text{g},1}$ を有する半導体から成り、

該光導波路(20)は該光吸收層(11)上に形成され、少なくともその一部が該リッジ部(22)を成し、禁制帯幅 $E_{\text{g},2}$ を有する半導体層(14)から成り、

該分離層(12)は禁制帯幅 $E_{\text{g},3}$ を有する半導体から成り、

該入射光の有する光量子エネルギー($h\nu$)およ

び前記禁制帯幅の間には $E_{g1} \leq h\nu < E_{g2} < E_{g3}$ なる関係が存在することを特徴とする請求項 2 の光導波路付き半導体受光素子。

(4) 該光吸收層(11)は禁制帯幅 E_{g1} を有する半導体から成り、

該光導波路(20)は、該分離層(12)上に順次形成された禁制帯幅 E_{g4} を有する第 1 の半導体層(13)および少なくともその一部が該リッジ部を成し禁制帯幅 E_{g5} を有する第 2 の半導体層(14)とから成り、

該分離層(12)は禁制帯幅 E_{g6} を有する半導体から成り、

該入射光の有する光量子エネルギー($h\nu$)および前記禁制帯幅の間には $E_{g1} \leq h\nu < E_{g4} < E_{g5}$ および $E_{g6} < E_{g5}$ なる関係が存在することを特徴とする請求項 2 の光導波路付き半導体受光素子。

(5) 該光吸收層(11)を構成する半導体は真性半導体であり、PIN フォトダイオードの要素をなしていることを特徴とする請求項 3 または 4 の光導波路付き半導体受光素子。

3 発明の詳細な説明

(概要)

リッジ型光導波路が集積されたモノリシック半導体受光素子に関し、

製造工程が簡単で高感度・高性能の光導波路付き受光素子を提供することを目的とし、

半導体基板(10)の有する一表面上に形成された半導体層から成る光吸收層(11)と、該半導体基板(10)の表面に平行に延伸するとともにその一端から光が入射するリッジ部(22)を有し、該光吸收層(11)上に形成された光導波路(20)と、該光吸收層(11)と光導波路(20)との間に介在するように設けられ、該リッジ部(22)に沿って進行する該入射光が該光吸收層(11)へ漏洩することを阻止するための分離層(12)と、該入射光を該光吸收層(11)に向けて偏光させるように該リッジ部(22)の有する他端部において該光導波路(20)を斜めに切断して成る偏向面(21)とを備え、該光吸收層(11)が光電変換部の要素をなすことから構成される。

(産業上の利用分野)

本発明は、光導波路付きの半導体受光素子に係り、とくにリッジ光導波路と PIN フォトダイオード等の光電変換素子とを結合したモノリシック構造の受光素子に関する。

(従来の技術)

フォトダイオード等の光電変換素子と光導波路を集積化することによって、光結合の簡易化および信頼性の向上ならびに低損失化、さらには、装置の小型化、低コスト化が実現され、その結果、光信号を利用する各種技術の応用分野を拡大することが可能であるため、光導波路付きの受光素子の開発が活発に行われている。とくに、光電変換素子と光導波路とをモノリシック集積化することにより、例えば高性能・高密度のフォトダイオードアレイや最近注目されているコヒーレント光通信に用いられる光受信器の小型化、高性能化、低成本化が可能となる。

現在は、集積化構造が種々検討されている段階であり、定着した技術は見当たらない。研究段階で提案されている基本的構造は、基板上に積層された半導体層や誘電体層を加工して光導波路および光電変換素子とするものであって、光導波路を構成する層と光電変換素子を構成する半導体層を数回の工程で結晶成長させたのち、これらの層に対して形状加工、不純物拡散、電極形成等の加工を行う。したがって、集積化構造および加工プロセスの設計の如何が、より簡単に高性能で小型の光導波路付き受光素子を製造可能とする鍵である。

コア寸法が $8 \text{ mm} \times 8 \text{ mm}$ の石英から成るリッジ光導波路が形成された石英基板上に、GaAlAsP を光吸收層とするエッジ検出型のフォトダイオードを搭載したハイブリッド集積構造が提案されている。
(M. Yamada, et al., ELECTRONICS LETTERS, 24th September, 1987, Vol. 23, No. 20, p. 1056)

上記構造は光導波路とフォトダイオードを個別に作製したのち一体化するものであって、小型化およびそれに伴う加工・組立精度に限界がある。

一方、基板上に積層された半導体層から光導波路と光電変換素子を形成したモノリシック集積構造が提案されている。その一例(P. Cingino, et al., Appl. Phys. Lett., 50(21), 25 May 1987, p.1515)は第6図に示すとくで、n型のInP基板1上に、n-InGaAsPから成る高さ1μmのリッジ型の光導波路2とn-InGaAs層とp-InGaAs層とが積層された光検出部3から構成される。符号4および5は、それぞれ、金属上部電極および金属下部電極である。

(発明が解決しようとする課題)

第6図に示す集積化構造は次のようにして形成される。

n型InP基板1上に厚さ2.5μmのn-InGaAsP層と厚さ0.5μmのn-InGaAs層と厚さ1μmのp-InGaAs層を順次形成したのち、Si₃N_xをマスクとしてこれらの層をInGaAs/InGaAsP界面まで選択エッチングしてメサ状の光検出部3を形成する。次いで、フォトレジストマスクを用い、InGaAsP層

を高さ1μmのリッジを成すように選択エッチングして光導波路2を形成する。その後、上部電極4および下部電極5を形成し、全体をSi₃N_xで保護する。

上記のように、光導波路2および光検出部3を形成するためのエッチング工程が複雑であり、とくに、シングルモードの光導波路を得るためにコア層厚を1μm以下とする必要があるが、上記のような中間層であるn-InGaAsP層を選択的にエッチングして光導波路2を形成する方法では高精度が得難い。

また、上記構造では、光検出部3はpn接合ダイオードを構成しており、光導波路2から入射する光はpn接合面に沿って進行しつつ、pn接合部に拡散して吸収される。このため、pn接合部の面積が大きくなり、それにともなって上部電極4を広い面積に形成する必要がある。その結果、小型化に限界を生じるばかりでなく、電極間容量の増大により高速動作にも限界を生じる。一方、pn接合部の面積を小さくすると量子効率が低下し、高感度

を得難くなる。

さらに、高速動作および高感度を得るためにには、PINフォトダイオードを光電変換素子として用いることが望ましい。この場合、光吸収層は低濃度であるため、量子効率を高めるには少なくとも2~3μmの厚さを必要とする。一方、多層構造を構成する材料間の熱膨張差による層のクラックあるいは剥離を避けるためには、厚の大きな層はできるだけ基板側に形成することが望ましい。

これに対して、第6図の構造は、光導波路2および光検出部の厚さについて、上記シングルモードおよびPINフォトダイオードとの関連から考慮されておらず、また、シングルモードの光導波路とPINフォトダイオードを形成するとしても、それに適した構造ではない。

本発明は、上記のような問題点を解決し、製造工程が簡単で高感度・高性能の光導波路付き受光素子を提供することを目的とする。

(課題を解決するための手段)

上記目的は、半導体基板(10)の有する表面上に形成された半導体層から成る光吸収層(11)と、該半導体基板(10)の表面に平行に延伸するとともにその一端から光が入射するリッジ部(22)を有し、該光吸収層(11)上に形成された光導波路(20)と、該光吸収層(11)と光導波路(20)との間に介在するように設けられ、該リッジ部(22)に沿って進行する該入射光が該光吸収層(11)へ漏洩することを阻止するための分離層(12)と、該入射光を該光吸収層(11)に向けて偏向させるように該リッジ部(22)の有する他端部において該光導波路(20)を斜めに切断して成る偏向面(21)とを備え、該光吸収層(11)が光電変換部の要素をなすことを特徴とする本発明の光導波路付き半導体受光素子によって達成される。

(作用)

第1図は本発明の光導波路付き受光素子の原理的構成を示す要部断面図であって、例えば、InPから成る半導体基板10の表面上に、真性InGaAs層

から成る光吸収層11、InP から成る分離層12、および、半導体基板10の裏面に平行に延伸するリッジ部22を有する光導波路20が形成されている。光導波路20の一端には、半導体基板10表面に対しておよそ45°をなす傾斜面21が設けられている。光導波路20の他端から入射した入力光はリッジ部22に沿って光導波路20を進むが、光導波路20と分離層12との界面では、分離層12を構成する物質の方が禁制帯幅が大きい（すなわち、低屈折率である）ため、光吸収層11への洩れが阻止され、光導波路20内に閉じ込められる。そして、傾斜面21で反射されて光吸収層11に達し、ここで吸収され、電子・正孔対を発生する。光吸収層11を構成する半導体層は、図示しない不純物拡散層および電極とともに、例えばPIN フォトダイオード等の光電変換部を構成しており、光吸収層11で発生した電子・正孔対による電流が、前記電極から取り出される。

上記の構成により、

①リッジ光導波路20は、半導体基板10上に積層

された最上層を加工して形成されるので、シングルモードに必要な1 μm 以下の高さに精度よく形成できる。

②入力光は光吸収層11の所定領域にほぼ垂直に集中して入射されるので、前記光電変換部の電極の面積が縮小され、電極間容量を低減できる。

③光吸収層11は半導体基板10上に直接形成されるので、多層構造におけるクラックあるいは剥離等のおそれが低減される。その結果、PINフォトダイオードの光吸収層として必要な2~3 μm の厚さが安定して得られ、高量子効率の光電変換部を形成できる。

④光吸収層11、分離層12、光導波路20を構成する各層を連続する一回の工程で成長させたのち、光導波路20のリッジ部の形状加工を行うのみで、光電変換部の形状加工を必要としないため、工程が簡略化できる。

⑤前記光電変換部の電極を対向電極として形成しない構造が可能であり、電極間容量の低減による動作速度の向上が可能である。

1 1

〔実施例〕

以下に本発明の実施例を図面を参照して説明する。以下の図面において、既掲の図面におけるのと同じ部分には同一符号を付してある。

第2図は本発明の受光素子の基本構造を示す斜視図である。半導体基板10の表面上に、厚さ2~3 μm の真性InGaAs層(i-InGaAs, 以下同様)から成る光吸収層11、厚さ0.4~0.8 μm のInP層から成る分離層12、厚さ0.2~0.3 μm のi-InGaAsP層13、厚さ0.5~1 μm のInP層14が積層されている。なお、通常、半導体基板10の上にInPバッファ層(図示省略)をエピタキシャル成長させたのち、i-InGaAs光吸収層11を積層する。

InP層14は、その一部が半導体基板10の裏面に平行に延伸するリッジ部22を成すように加工されている。図において符号15は前記InP層14をリッジ部22に加工する際に、厚さ0.1~0.2 μm だけ残したInP層であって、後述するように、リッジ

1 2

光導波路20の光学的対称性を高めるために設けらる。したがって、InP層14とは別に形成された層であってもよい。

傾斜面21は、リッジ部22の延伸方向および半導体基板10の表面に対してほぼ45°傾いたように形成されている。この傾斜面21は、少なくともInP層15とi-InGaAsP層13を切断するよう延長されている。第2図においては、さらに、分離層12の一部まで切断するよう延長されている。

正確を期するために、第2図の構造に対応する平面図および側面図を第3図に示す。第3図(a)および(c)は、それぞれ、第3図(b)におけるA方向およびB方向から見た側面図である。同図(a)および(b)に示すように、分離層12は、その上層部の厚さ約0.2 μm の部分が傾斜面21によって切断され、切断面16が現れている。リッジ部22および傾斜面21を形成するためのInP層14およびInGaAsP層13の加工は、周知のリアクティブイオンビームエッチング(RIBE)技術を用いて行うことができ、リッジ部22の延伸方向に対して45°をなすように傾斜

1 3

面21を制御する技術も確立されている。

ところで、小さい禁制帯幅を有する物質ほど一般に高い屈折率を有する。i-InGaAsP層13の有する禁制帯幅は、リッジ部22を構成するInP層14の有するそれより小さい。したがって i-InGaAsP層13はInP層14に比べ低屈折率である。同様に、i-InGaAsP層13はInP層から成る分離層12に比べ低屈折率である。その結果、第3図(a)に示すC-C断面における等価屈折率の分布は、i-InGaAsP層13で最大となり、その両側で減少している。また、i-InGaAsP層13に平行な面内における等価屈折率の分布は、リッジ部22の存在により、リッジ部22の延伸方向における中心線直下で最大となり、その両側で減少している。

上記のようにして、i-InGaAsP層13内に、リッジ部22に沿って、等価屈折率が最大の領域が形成される。この領域が実効的な光導波路となる。第3図(a)におけるB方向から上記等価屈折率最大の領域の近傍に入射した光は、この領域に集められ、傾斜面21に向かって進行する。そして、傾斜面21

で反射され、真性InGaAs層から成る光吸収層11に入射し、ここで吸収され、電子・正孔対を生じる。すなわち、光吸収層11はi-InGaAsP層13より小さな禁制帯幅を有するInGaAsから形成されている。

ところで、i-InGaAsP層13上にInP層14の一部であるInP層15を残したのは、i-InGaAsP層13の上下全面に低屈折率層であるInP層を設けて等価屈折率の分布に対称性を持たせるためである。このような対称性は、光導波路の伝播効率の向上、すなわち、光導波路から外部への光の漏洩による損失を低減する上で重要である。また、前記のように、傾斜面21が分離層12の一部を切断するようにしたのは、上記等価屈折率最大領域の周囲に広がった入力光の大部分を光吸収層11に向けて偏向可能なように傾斜面21を拡げるためである。

ここで、上記各層の有する禁制帯幅(E_{g})の関係を整理しておく。

InGaAs光吸収層11	$E_{\text{g},1} = 0.75\text{eV}$
InP 分離層12	$E_{\text{g},2} = 1.35\text{eV}$
i-InGaAsP 層13	$E_{\text{g},3} = 1.05\text{eV}$

15

InP リッジ部22 $E_{\text{g},2} = 1.35\text{eV}$
したがって、 $E_{\text{g},1} < h\nu < E_{\text{g},3} < E_{\text{g},4}$ および $E_{\text{g},4} < E_{\text{g},2}$ なる関係が保たれている。上記の組合せにおいては、分離層12とリッジ部22はともにInPから形成されているので $E_{\text{g},3} = E_{\text{g},4}$ である。上記において、 $h\nu$ はInGaAs光吸収層11が吸収可能な入射光の有する光量子エネルギーの最大値である。

光導波路20の伝播効率は低下するが、第3図の構造を簡略化したものとして、InPリッジ部22をi-InGaAsP層で形成した構造も可能である。この構造においては、上記i-InGaAsP層13に相当する層は省略する。この場合にはリッジ部は $E_{\text{g},2} = 1.05\text{eV}$ なる禁制帯幅を有し、 $E_{\text{g},1} < h\nu < E_{\text{g},2} < E_{\text{g},3}$ なる関係が存在する。

上記のようにして光吸収層11に入射した光によって発生した電子および正孔による電流を外部に取り出すために、本発明では、光吸収層11を構成するi-InGaAs導体層とリッジ部22を構成するInP層14、詳しくは傾斜面21近傍のInP層14、とを要素とするPINフォトダイオードを形成する。

16

第4図は、本発明の光導波路付き受光素子の具体的構造を示す要部断面図であって、半導体基板10としてn⁺-InP基板を用い、この上にInGaAs光吸収層11とInP分離層12とInGaAsP層13とInP層14としていずれも真性半導体層を積層したものである。そして、第3図と同様にリッジ部22および傾斜面21を形成したのち、リッジ部22端部の傾斜面21からp型不純物として、例えば亜鉛(Zn)を選択的に拡散させ、p型領域23を形成する。この場合、リッジ部22端部以外の表面をSi₃N₄膜でマスクしておけばよい。また、p型領域23は光吸収層11と分離層12の界面で止まるようにする。

上記ののち、Si₃N₄膜マスクを除去し、リッジ部22の端部の傾斜面21に、例えばAuZn層とAu層を順次積層して成るAuZn/Au構造の電極層24を形成する。一方、半導体基板10の裏面には、p型領域23と対向するAuGe/Au構造の電極層25を形成する。電極層24の引出し線および外部導線との接続バッド（いずれも図示省略）は、電極層24近傍のInP層14または15表面上に適宜形成すればよい。

17

—519—

18

上記により、p型領域23とi-InGaAs光吸収層11とn'-InP基板10から成るPINダイオードが構成される。電極層24—電極層25間に、電極層24を負として逆バイアス電圧を印加した状態で入力光が入射すると、i-InGaAs光吸収層11に発生した電子および正孔は、それぞれ、電極層24および電極層25方向に移動し、外部に電流として取り出される。この電流を図示しない回路によって検出する。上記において、p型領域23と電極層24および25は、光吸収層11の光が入射する領域に対向して設けておけば充分であり、その結果、電極対向面積は25 μm^2 程度となり、例えば第6図に示す構造に比べて電極間容量が著しく減少される。

第5図(a)および(b)は、本発明の光導波路付き受光素子の別の具体的構造を示し、それぞれ、リッジ部22の延伸方向に対して平行および垂直な要部断面図である。

半導体基板10として半絶縁性InP基板を用い、InP分離層12とInP層14は、例えばシリコン(Si)を不純物としてドープしたn型層を積層したもの

である。ただし、InGaAs光吸収層11とInGaAsP層13としては、第4図と同様に真性半導体層が積層されている。そして、第3図と同様にリッジ部22および傾斜面21を形成する。

第5図においては、リッジ部22端部の傾斜面21から不純物を拡散せず、傾斜面21近傍のInP層15表面からp型不純物として、例えば亜鉛(Zn)を選択的に拡散させ、p型領域26を形成する。この選択拡散は、前記実施例と同様に、Znを拡散しない領域の表面をSi₃N₄膜でマスクしておけば可能である。また、p型領域26は光吸収層11と半導体基板10の界面で止まるようにする。上記のち、前記Si₃N₄膜マスクを除去し、リッジ部22端部の傾斜面21に、例えばAuGe/Au構造の電極層24を形成する。また、p型領域26上のInP層15表面には、例えばAuZn/Au構造の電極層27を形成する。電極層24および27の引出し線および外部導線との接続バッド(いずれも図示省略)は、これら電極近傍のInP層14および15表面上に適宜形成すればよい。

上記により、p型領域26とi-InGaAs光吸収層11

とn-InP分離層12からPINダイオードが構成される。そして、電極層24および27間に、電極層27を負として、逆バイアス電圧を印加し、入力光の検出を行う。なお、電極層24に接するn-InP層14とn-InP分離層12の間には、i-InGaAsP層13が存在するが、この層の厚さは0.2~0.3 μm であり、PINダイオードの特性にはほとんど影響しない。また、電極層24と27は相互に対向しないため、これら電極間の浮遊容量は著しく小さい。

なお、上記実施例においては、光吸収層を真性半導体層とするPINフォトダイオードを光電変換部とする構造を示したが、光吸収層に形成されたPN接合から成るフォトダイオードを光電変換部として用いる構造も可能である。例えば、第4図において、光吸収層11を低濃度のn型InGaAs層とし、p型領域23を光吸収層11内まで拡げることによりPN接合を形成した構造である。また、上記において、傾斜面21からn型不純物を拡散させれば、光吸収層11を光伝導層とする光電変換部を有する光導波路付き受光素子となる。

さらに、光導波路20および分離層12を所定の屈折率を有する誘電体層で形成してもよい。例えば第5図においてi-InGaAsP層13およびn-InP層14を、それぞれ、例えばSi₃N₄層およびSiO₂層とし、これらの層に電極27に対応する位置に開口を設け、この開口から不純物を導入してp型領域26に対応する拡散領域を形成する。あるいは、上記において、分離層12をSiO₂層とし、このSiO₂層にも電極27に対応する位置に開口を設け、この開口から不純物を導入して上記拡散領域を形成する。そして、リッジ分離絶縁層22の両側に設ける電極27を独立の電極としておく。これにより、光吸収層11を光伝導層とする光電変換部を有する光導波路付き受光素子となる。

上記のように、光吸収層を光電変換部の要素として用いる種々の変形が可能である。

(発明の効果)

本発明によれば、高量子効率のPINダイオードをはじめとする光電変換素子とシングルモードの

リッジ型光導波路とを組合わせた受光素子を提供可能とする効果がある。また、本発明の構造によれば、製造工程が比較的簡単であり、かつ、光電変換素子の電極間容量を低減可能であるため高速度の受光素子を提供できる効果がある。

4 図面の簡単な説明

第1図は本発明の光導波路付き受光素子の原理的構成を示す要部断面図。

第2図および第3図は本発明の光導波路付き受光素子の基本的構造を示す斜視図および平面図と側面図。

第4図は本発明の光導波路付き受光素子の具体的構造を示す要部断面図。

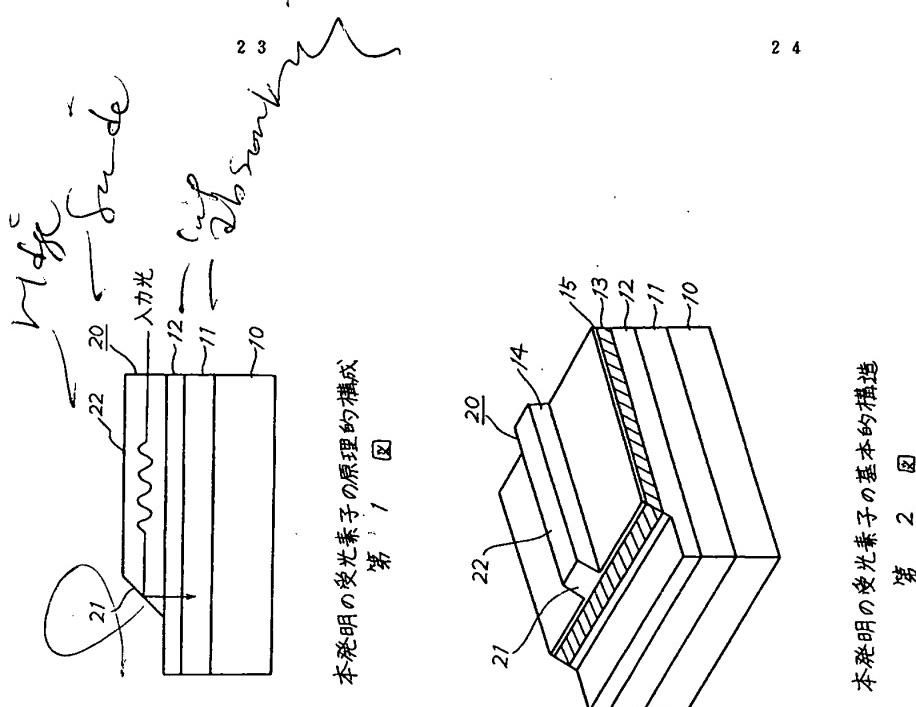
第5図は本発明の光導波路付き受光素子の別の具体的構造を示す要部断面図。

第6図はリッジ光導波路を有する従来の受光素子の例を示す図である。

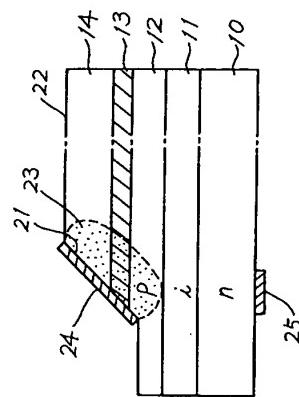
図において、

10は半導体基板、
11は光吸収層、
12は分離層、
13はi-InGaAsP層、
14と15はInP層、
20は光導波路、
21は傾斜面、
22はリッジ部、
23と26はp型領域、
24と25と27は電極層、
である。

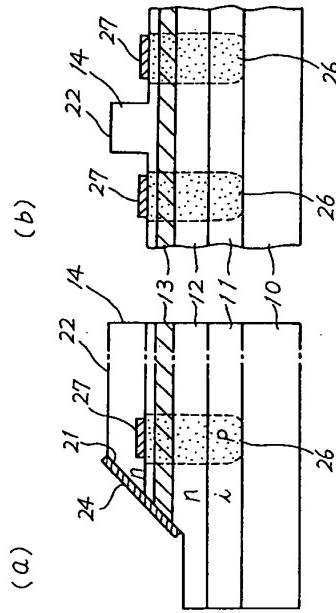
代理人 弁理士 井桁 貞一



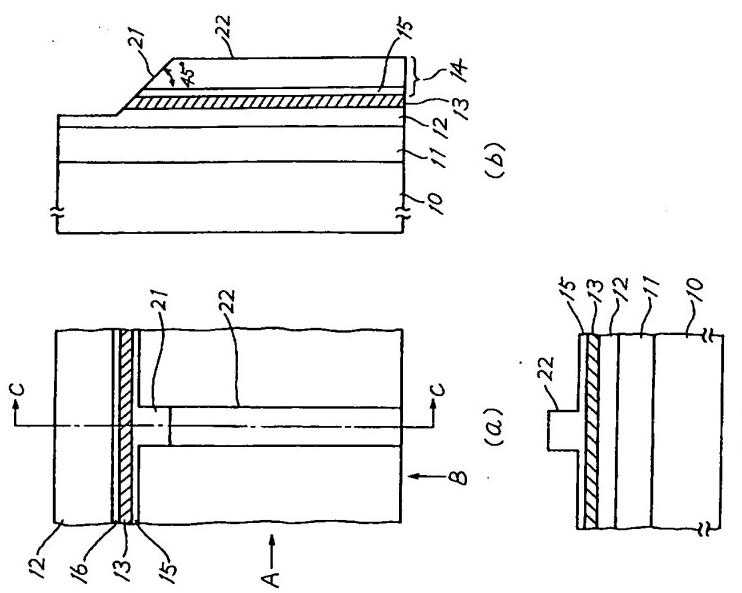
本発明の受光素子の基本的構造
第2図



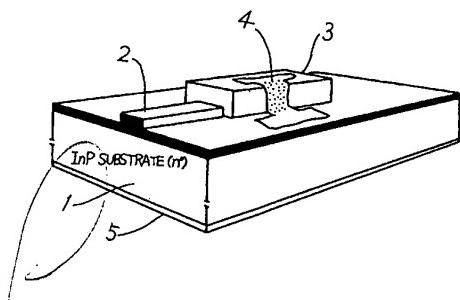
本発明の受光素子の具体的構造(4の1)
第 4 図



本発明の受光素子の具体的構造(4の2)
第 5 図



本発明の受光素子の基本的構造
第 3 図



リシジ光導波路付き受光素子の従来例

第 6 図